

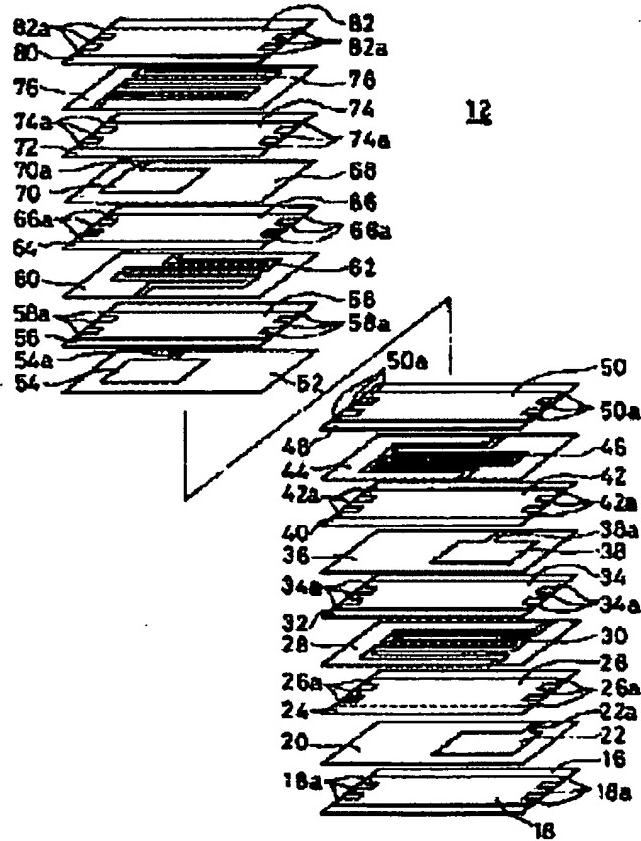
COMPOSITE ELEMENT

Patent number: JP2003060462
Publication date: 2003-02-28
Inventor: YAMAGUCHI NAOTO
Applicant: MURATA MANUFACTURING CO
Classification:
- **international:** H03H7/075; H03H7/075; (IPC1-7): H03H7/075
- **european:**
Application number: JP20010247348 20010816
Priority number(s): JP20010247348 20010816

[Report a data error here](#)

Abstract of JP2003060462

PROBLEM TO BE SOLVED: To obtain a composite element, having a plurality of elements so as to be used as a transmission line, which is capable of eliminating interferences due to signals, by isolating the lines from each other. **SOLUTION:** Shielding electrodes 18, 34, 50, 66, 82, capacitor electrodes 22, 38, 54, 70, grounding electrodes 26, 42, 58, 74 and inductor electrodes 30, 46, 62, 78 are formed on dielectric substrates 16, 20, 24, 28, 32, 36, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80 respectively. These substrates are laminated to obtain a substrate 12. External electrodes are formed on the sides of the substrate 12 and the electrodes are connected, as required, thereby obtaining a ladder-type low-pass filter, in which inductors are connected in series and capacitors are connected in parallel. The low-pass filter which is obtained thus, has different values in the input impedance and the output impedance.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-60462

(P2003-60462A)

(43)公開日 平成15年2月28日(2003.2.28)

(51)Int.Cl.

H 0 3 H 7/075

識別記号

F I

マークド(参考)

H 0 3 H 7/075

A 5 J 0 2 4

審査請求 未請求 請求項の数6 O L (全10頁)

(21)出願番号 特願2001-247348(P2001-247348)

(22)出願日 平成13年8月16日(2001.8.16)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 山口 直人

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74)代理人 100079577

弁理士 岡田 全啓

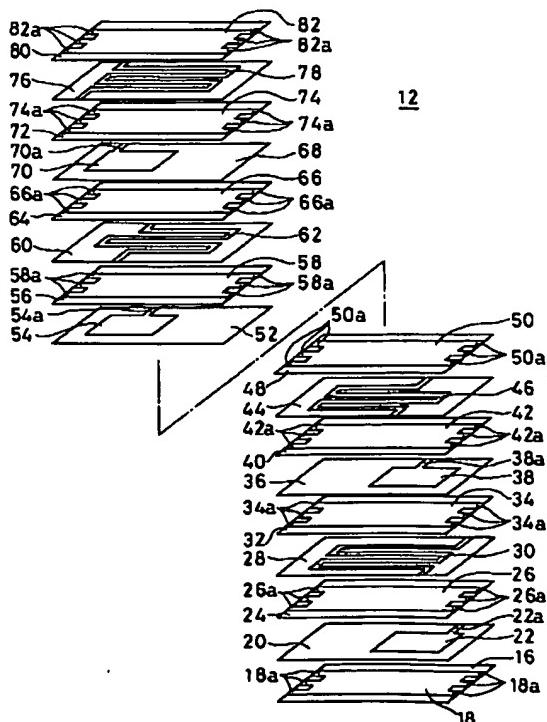
F ターム(参考) 5J024 AA01 BA11 DA04 DA29 DA35
EA01 EA02

(54)【発明の名称】複合素子

(57)【要約】

【課題】複数の伝送ラインとして用いられる素子が形成された複合素子において、ライン間のアイソレーションをとることにより、信号の干渉をなくすことができる複合素子を得る。

【解決手段】誘電体基板16, 20, 24, 28, 32, 36, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80上に、シールド電極18, 34, 50, 66, 82、コンデンサ用電極22, 38, 54, 70、グランド電極26, 42, 58, 74およびインダクタ用電極30, 46, 62, 78を形成し、これらの誘電体基板を積層して基体12を得る。基体12の側面に外部電極を形成して必要な電極を接続し、インダクタが直列に接続され、コンデンサが並列に接続されたラダー型のローバスフィルタを得る。得られたローバスフィルタは、入力インピーダンスと出力インピーダンスの値が異なるものとなる。



【特許請求の範囲】

【請求項1】 積層された複数の誘電体基板、前記複数の誘電体基板の少なくとも2枚に形成されたインダクタ用電極からなるインダクタと、前記複数の誘電体基板の少なくとも2枚に形成されたコンテンサ用電極からなるコンテンサとを組み合わせてなる複数の素子、前記複数の素子同士の間の前記複数の誘電体基板に形成されたシールド電極、および入力端および出力端を有してなる複合素子であって、前記入力端の入力インピーダンスと前記出力端の出力インピーダンスとが異なる値を有することを特徴とする、複合素子。

【請求項2】 前記複数の素子の入力インピーダンスは前記入力端に接続される回路の出力インピーダンスに合わせて設定され、前記複数の素子の出力インピーダンスは前記出力端に接続される回路の入力インピーダンスに合わせて設定される、請求項2に記載の複合素子。

【請求項3】 前記複数の素子は、前記入力端と前記出力端と結ぶ入出力ラインの直列腕に、1つの前記インダクタを配置し、かつ、前記入出力ラインの並列腕に、一端がグランドに接続された1つの前記コンテンサを配置してなるローバスフィルタであることを特徴とする、請求項1または請求項2に記載の複合素子。

【請求項4】 前記複数の素子は、前記入力端と前記出力端と結ぶ入出力ラインの直列腕に、1つの前記コンテンサを配置し、かつ、前記入出力ラインの並列腕に、一端がグランドに接続された1つの前記インダクタを配置してなるハイパスフィルタであることを特徴とする、請求項1または請求項2に記載の複合素子。

【請求項5】 前記複数の素子は、前記入力端と前記出力端と結ぶ入出力ラインの直列腕に、少なくとも1つの前記インダクタを配置し、かつ、前記入出力ラインの並列腕に、一端がグランドに接続された少なくとも2つの前記コンテンサを配置してなるローバスフィルタであり、

前記入力端と前記出力端のいずれかに、さらに別のインダクタを付加することで、前記入力端の入力インピーダンスと前記出力端の出力インピーダンスとを異なる値にしたことを特徴とする、請求項1または請求項2に記載の複合素子。

【請求項6】 前記複数の素子は、前記入力端と前記出力端と結ぶ入出力ラインの直列腕に、少なくとも1つの前記コンテンサを配置し、かつ、前記入出力ラインの並列腕に、一端がグランドに接続された少なくとも2つの前記インダクタを配置してなるハイパスフィルタであり、

前記入力端と前記出力端のいずれかに、さらに別のコンテンサを付加することで、前記入力端の入力インピーダンスと前記出力端の出力インピーダンスとを異なる値にしたことを特徴とする、請求項1または請求項2に記載

の複合素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複合素子に関し、特に、たとえば積層体の中に複数のフィルタなどの素子が形成された複合素子に関する。

【0002】

【従来の技術】デジタル回路においては、論理値である(0, 1)に対応する電圧が伝送される。このような電圧は、バスラインなどを介して、ICから別のICに伝送される。

【0003】

【発明が解決しようとする課題】しかしながら、高周波のクロックやデータを伝送するためのバスラインなどの複数のラインがパラレルに配置されている場合、ライン間で干渉し、論理が正常に伝送されない状態が発生しやすかった。

【0004】また、デジタル回路に用いられるICなどは、その入力インピーダンスと出力インピーダンスが統一されていないため、これらのICの間で信号の送受を行なうために、バスラインに様々な工夫が施されている。たとえば、電圧を正常に伝送させるように、電圧をスレッシュホールドレベルまで上げるためのブルアップ抵抗を入れたり、リングを防止するために、ダンピング抵抗を直列に挿入したりしていた。しかしながら、これらの抵抗を入れることにより、回路で消費される電力が大きくなり、また、これらの抵抗を通過するうちにパルスの波形なまりが発生しやすかった。そのため、シミュットトリガ回路などの波形成形回路が付加されたバースパッファなどを備える必要があった。さらに、静電気による高電圧がICに伝送され、FETやC-MOS系ICなどの入力インピーダンスの大きい素子が破壊されるという問題があった。

【0005】それゆえに、この発明の主たる目的は、伝送ラインとして用いられる複数の素子が形成された複合素子において、ライン間のアイソレーションをとることにより、信号の干渉をなくすことができる複合素子を提供することである。また、この発明の目的は、このような複合素子において、入力インピーダンスおよび出力インピーダンスの異なるICにおいて正常に電圧を伝送させることができ、消費電力を小さくすることができる、複合素子を提供することである。さらに、この発明の目的は、高周波成分を抑圧して波形なまりを抑えることができる、複合素子を提供することである。また、この発明の目的は、静電気による高電圧の影響を小さくし、ICへの実質的なダメージをなくすことができる、複合素子を提供することである。

【0006】

【課題を解決するための手段】この発明は、積層された複数の誘電体基板と、複数の誘電体基板の少なくとも2

枚に形成されたインダクタ用電極からなるインダクタと、複数の誘電体基板の少なくとも2枚に形成されたコンデンサ用電極からなるコンデンサとを組み合わせてなる複数の素子と、複数の素子同士の間の複数の誘電体基板に形成されたシールド電極と、入力端および出力端とを有してなる複合素子であって、入力端の入力インピーダンスと出力端の出力インピーダンスとが異なる値を有することを特徴とする、複合素子である。このような複合素子において、複数の素子の入力インピーダンスは入力端に接続される回路の出力インピーダンスに合わせて設定され、複数の素子の出力インピーダンスは出力端に接続される回路の入力インピーダンスに合わせて設定される。また、複数の素子は、入力端と出力端と結ぶ入出力ラインの直列腕に、1つのインダクタを配置し、かつ、入出力ラインの並列腕に、一端がグランドに接続された1つのコンデンサを配置してなるローパスフィルタとことができる。さらに、複数の素子は、入力端と出力端と結ぶ入出力ラインの直列腕に、1つのコンデンサを配置し、かつ、入出力ラインの並列腕に、一端がグランドに接続された1つのインダクタを配置してなるハイパスフィルタとができる。また、複数の素子は、入力端と出力端と結ぶ入出力ラインの直列腕に、少なくとも1つのインダクタを配置し、かつ、入出力ラインの並列腕に、一端がグランドに接続された少なくとも2つのコンデンサを配置してなるローパスフィルタであり、入力端と出力端のいずれかに、さらに別のインダクタを付加することで、入力端の入力インピーダンスと出力端の出力インピーダンスとを異なる値にしてもよい。さらに、複数の素子は、入力端と出力端と結ぶ入出力ラインの直列腕に、少なくとも1つのコンデンサを配置し、かつ、入出力ラインの並列腕に、一端がグランドに接続された少なくとも2つのインダクタを配置してなるハイパスフィルタであり、入力端と前記出力端のいずれかに、さらに別のコンデンサを付加することで、入力端の入力インピーダンスと出力端の出力インピーダンスとを異なる値にしてもよい。

【0007】積層体内に形成されたインダクタとコンデンサとからなる複数の素子間にシールド電極を形成することにより、各素子間のアイソレーションをとることができ、これらの素子を信号伝送用のバスラインとして用いたときに、ライン間における干渉を防止することができる。また、複合素子に含まれる各素子の入力インピーダンスと出力インピーダンスの値を異なる値とすることにより、異なる値の出力インピーダンスと入力インピーダンスを有する回路を接続する際に、インピーダンス整合をとることができる。つまり、複合素子に含まれる素子の入力端に接続される回路の出力インピーダンスに合わせて素子の入力インピーダンスを設定し、複合素子に含まれる素子の出力端に接続される回路の入力インピーダンスに合わせて素子の出力インピーダンスを設定する

ことにより、インピーダンス整合をとることができ、消費電力を小さくすることができます。さらに、複合素子に含まれる素子をローパスフィルタとすることにより、高周波成分が除去されて波形なまりを抑えることができる。また、複合素子に含まれる素子をハイパスフィルタとすることにより、低周波成分からなる静電気による高電圧を抑圧することができ、素子に接続されるICに高電圧が入力されないようにすることができます。さらに、積層体内に形成されたインダクタ用電極によってインダクタを形成することにより、Q値の小さいインダクタを得ることができ、リングングの発生を抑えることができる。

【0008】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0009】

【発明の実施の形態】図1は、この発明の複合素子の一例を示す斜視図である。複合素子10は、基体12を含む。基体12の側面には、10個の外部電極14a～14jが形成される。外部電極14aおよび外部電極14fは、基体12の長手方向の対向側面に形成される。また、外部電極14b～14eは、基体12の幅方向の一方側において、互いに間隔を隔てて形成される。さらに、外部電極14g～14jは、基体12の幅方向の他方側において、互いに間隔を隔てて形成される。このとき、外部電極14b、14gが対向するように配置され、外部電極14c、14hが対向するように配置され、外部電極14d、14iが対向するように配置され、外部電極14e、14jが対向するように配置される。

【0010】基体12は、図2に示すように、誘電体基板16を含む。誘電体基板16上には、中央部のほぼ全面を覆うようにして、シールド電極18が形成される。シールド電極18から誘電体基板16の長手方向の対向する辺に向かって、複数の引き出し電極18aが形成される。これらの引き出し電極18aは、2つの外部電極14a、14fに接続される。

【0011】シールド電極18上には、別の誘電体基板20が積層される。誘電体基板20上には、コンデンサ用電極22が形成される。コンデンサ用電極22は、誘電体基板20の長手方向の一方側に形成される。そして、コンデンサ用電極22から外部電極14jに向かって、引き出し電極22aが形成され、この引き出し電極22aが外部電極14jに接続される。

【0012】コンデンサ用電極22上には、誘電体基板24が積層される。誘電体基板24上には、シールド電極18および引き出し電極18aと同様の形状のグランド電極26および引き出し電極26aが形成される。これらの引き出し電極26aは、外部電極14a、14fに接続される。

【0013】シールド電極26上には、誘電体基板28が積層される。誘電体基板28上には、ミアンダライン状のインダクタ用電極30が形成される。インダクタ用電極30の両端部は、基体12の長手方向の端部側の外部電極14e, 14jに接続される。インダクタ用電極30上には、誘電体基板32が積層され、この誘電体基板32上にシールド電極34および引き出し電極34aが形成される。そして、引き出し電極34aが、外部電極14a, 14fに接続される。

【0014】同様にして、シールド電極に挟まれて、コンデンサ用電極とグランド電極とインダクタ用電極とが交互に形成される。つまり、シールド電極34上の誘電体基板36にコンデンサ用電極38が形成され、その引き出し電極38aが外部電極14iに接続される。さらに、コンデンサ用電極38上の誘電体基板40に、グランド電極42および引き出し電極42aが形成され、引き出し電極42aが外部電極14a, 14fに接続される。また、グランド電極42上には誘電体基板44が積層され、この誘電体基板44にミアンダライン状のインダクタ用電極46が形成される。インダクタ用電極46の両端部は、外部電極14d, 14iに接続される。さらに、インダクタ用電極46上に誘電体基板48が積層され、この誘電体基板48にシールド電極50および引き出し電極50aが形成される。この引き出し電極50aは、外部電極14a, 14fに接続される。

【0015】シールド電極50上の誘電体基板52にコンデンサ用電極54が形成され、その引き出し電極54aが外部電極14hに接続される。さらに、コンデンサ用電極54上の誘電体基板56に、グランド電極58および引き出し電極58aが形成され、引き出し電極58aが外部電極14a, 14fに接続される。また、グランド電極58上には誘電体基板60が積層され、この誘電体基板60にミアンダライン状のインダクタ用電極62が形成される。インダクタ用電極62の両端部は、外部電極14c, 14hに接続される。さらに、インダクタ用電極62上に誘電体基板64が積層され、この誘電体基板64にシールド電極66および引き出し電極66aが形成される。この引き出し電極66aは、外部電極14a, 14fに接続される。

【0016】シールド電極66上の誘電体基板68にコンデンサ用電極70が形成され、その引き出し電極70aが外部電極14gに接続される。さらに、コンデンサ用電極70上の誘電体基板72に、グランド電極74および引き出し電極74aが形成され、引き出し電極74aが外部電極14a, 14fに接続される。また、グランド電極74上には誘電体基板76が積層され、この誘電体基板76にミアンダライン状のインダクタ用電極78が形成される。インダクタ用電極78の両端部は、外部電極14b, 14gに接続される。さらに、インダクタ用電極78上に誘電体基板80が積層され、この誘電

体基板80にシールド電極82および引き出し電極82aが形成される。この引き出し電極82aは、外部電極14a, 14fに接続される。なお、図示していないが、シールド電極82上には、被覆用の誘電体基板が積層される。

【0017】この複合素子10は、図3に示すように、外部電極14a, 14fが接地用として用いられる。したがって、外部電極14a, 14fに接続された各シールド電極および各グランド電極が接地される。この複合素子10では、外部電極14b, 14g間にインダクタLが形成され、その一端がコンデンサCを介して接地される。同様に、外部電極14c, 14h間、外部電極14d, 14i間、外部電極14e, 14j間にインダクタLが形成され、その一端がコンデンサCを介して接地される。このように、基体12の幅方向において対向する4組の外部電極が入力端および出力端として用いられ、図4に示すように、入力端と出力端とを結ぶ入出力ラインの直列腕に1つのインダクタLが接続され、入出力ラインの並列腕に、一端が接地された1つのコンデンサCが接続されたローパスフィルタを得ることができる。図4に示す回路は、外部電極14b, 14c, 14d, 14eが入力端として用いられ、外部電極14g, 14h, 14i, 14jが出力端として用いられた場合を示している。

【0018】このように、この複合素子10は、入出力間にインダクタLが接続され、その入力端側がコンデンサCを介して接地された4つのローパスフィルタを有するものとなる。このとき、コンデンサ用電極とグランド電極とインダクタ用電極とで構成される各ローパスフィルタは、シールド電極で挟まれているため、各ローパスフィルタ間においてアイソレーションをとることができる。したがって、複合素子10内のローパスフィルタを信号伝送用として用いることにより、各ローパスフィルタ間における干渉を防止することができる。

【0019】この複合素子10に形成されるローパスフィルタは、図4に示すように、入出力ラインの直列腕にインダクタLが接続され、その入力端側がコンデンサCを介して接地されているため、入力インピーダンスと出力インピーダンスとが異なる。したがって、インダクタLやコンデンサCの素子値を適切に選択することにより、入力インピーダンスおよび出力インピーダンスを調整することができる。そのため、入出力インピーダンスの異なるICを接続する際に、信号を送るICの出力インピーダンスに合わせて複合素子10の入力インピーダンスを設定し、信号を受けるICの入力インピーダンスに合わせて複合素子10の出力インピーダンスを設定することにより、インピーダンス整合をとることができる。したがって、信号の伝送にあたって損失が少くなり、消費電力を小さくすることができる。

【0020】なお、図4に示す回路では、出力インピー

ダンスが入力インピーダンスより低いローパスフィルタとなるが、複合素子の10の入出力を反対にすることにより、図5に示すように、入出力ラインの直列腕にインダクタしが接続され、その出力端側がコンデンサCを介して接地されたローパスフィルタとすることができます。このような回路を有するローパスフィルタでは、出力インピーダンスが入力インピーダンスより高くなる。図5に示すようなローパスフィルタにおいて、入力インピーダンスを100Ωとし、出力インピーダンスを200Ωとしたときの周波数特性を図6に示す。

【0021】また、複合素子10に内蔵された素子をローパスフィルタとすることにより、信号の高周波成分をカットすることができる。したがって、図7(a)に示すように、高周波成分を含んで波形なまりを起していた従来の場合に比べて、この複合素子10を用いることにより、図7(b)に示すように、波形なまりのない正常なパルス波を得ることができる。

【0022】さらに、この複合素子10では、誘電体基板上にインダクタ用電極を形成して積層構造とすることにより、Q値の小さいインダクタを得ることができます。このようなQ値の小さいインダクタを用いることにより、リングの発生を抑えることができる。なお、図2では、ミアンダライン状のインダクタ用電極を形成したが、スパイラル状のインダクタ用電極を形成しても同様の効果を得ることができる。スパイラル状のインダクタ用電極を形成する場合には、2つの誘電体基板にインダクタ用電極が形成され、スルーホールなどによって2つのインダクタ用電極を接続することにより、対向する外部電極間にインダクタを形成することができる。

【0023】なお、図8および図9に示すように、入力端と出力端とを結ぶ入出力ラインの直列腕に2つのインダクタL1, L2を接続し、入出力ラインの並列腕に2つのコンデンサC1, C2を接続することにより、複合素子10内にローパスフィルタを形成してもよい。図8では、1つのインダクタL1と2つのコンデンサC1, C2とで構成されるπ型回路の出力端側に、インダクタL2が接続されている。また、図9では、1つのインダクタL2と2つのコンデンサC1, C2とで構成されるπ型回路の入力端側にインダクタL1が接続されている。

【0024】さらに、3つ以上のインダクタを入出力ラインの直列腕に接続し、これらのインダクタの両側とグランドとの間にコンデンサを接続し、さらに入力端側または出力端側のいずれかにインダクタを接続することによってローパスフィルタを形成してもよい。これらの構成を有するローパスフィルタにおいても、入力インピーダンスと出力インピーダンスとを異なる値とすることができます、上述のような効果を得ることができる。

【0025】また、複合素子10内に、複数のハイパスフィルタを形成することもできる。この場合、図10に

示すように、誘電体基板90上にシールド電極92が形成される。このシールド電極92の引き出し電極92aは、外部電極14a, 14fに接続される。

【0026】シールド電極92上には、別の誘電体基板94が積層される。誘電体基板94の長手方向の一方側には、コンデンサ用電極96が形成される。コンデンサ用電極96から誘電体基板94の幅方向の一方側の辺に向かって引き出し電極96aが形成され、この引き出し電極96aが外部電極14eに接続される。さらに、コンデンサ用電極96上に誘電体基板98が積層され、この誘電体基板98に別のコンデンサ用電極100が形成される。コンデンサ用電極100は、下層のコンデンサ用電極96に対向する位置に形成される。そして、コンデンサ用電極100から誘電体基板98の幅方向の他方の辺に向かって引き出し電極100aが形成され、引き出し電極100aが、外部電極14jに接続される。

【0027】さらに、コンデンサ用電極100上の誘電体基板102には、ミアンダライン状のインダクタ用電極104が形成される。インダクタ用電極104の両端部は、それぞれ外部電極14a, 14jに接続される。インダクタ用電極104上に誘電体基板106が積層され、この誘電体基板106にシールド電極108が形成される。シールド電極108の引き出し電極108aは、外部電極14a, 14fに接続される。

【0028】同様にして、シールド電極に挟まれるようにして、コンデンサ用電極とインダクタ用電極とが形成される。つまり、シールド電極108上の誘電体基板110にはコンデンサ用電極112が形成され、その引き出し電極112aが外部電極14dに接続される。さらに、コンデンサ用電極112上の誘電体基板114には別のコンデンサ用電極116が形成され、その引き出し電極116aが外部電極14iに接続される。また、コンデンサ用電極116上の誘電体基板118には、ミアンダライン状のインダクタ用電極120が形成され、その両端部が外部電極14a, 14iに接続される。さらに、インダクタ用電極120上の誘電体基板122にはシールド電極124が形成され、その引き出し電極124aが外部電極14a, 14fに接続される。

【0029】シールド電極124上の誘電体基板126にはコンデンサ用電極128が形成され、その引き出し電極128aが外部電極14cに接続される。さらに、コンデンサ用電極128上の誘電体基板130には別のコンデンサ用電極132が形成され、その引き出し電極132aが外部電極14hに接続される。また、コンデンサ用電極132上の誘電体基板134には、ミアンダライン状のインダクタ用電極136が形成され、その両端部が外部電極14f, 14hに接続される。さらに、インダクタ用電極136上の誘電体基板138にはシールド電極140が形成され、その引き出し電極140aが外部電極14a, 14fに接続される。

【0030】シールド電極140上の誘電体基板142にはコンデンサ用電極144が形成され、その引き出し電極144aが外部電極14bに接続される。さらに、コンデンサ用電極144上の誘電体基板146には別のコンデンサ用電極148が形成され、その引き出し電極148aが外部電極14gに接続される。また、コンデンサ用電極148上の誘電体基板150には、ミアンダーライン状のインダクタ用電極152が形成され、その両端部が外部電極14f, 14gに接続される。さらに、インダクタ用電極152上の誘電体基板154にはシールド電極156が形成され、その引き出し電極156aが外部電極14a, 14fに接続される。なお、図示していないが、シールド電極156上には、被覆用の誘電体基板が積層される。

【0031】この複合素子10では、図11に示すように、基体12の長手方向の対向側面にある外部電極14a, 14fが接地用として用いられ、これらの外部電極14a, 14fに接続されたシールド電極が接地される。そして、外部電極14b, 14g間にコンデンサCが形成され、その一端がインダクタLを介して接地される。同様にして、外部電極14c, 14h間、外部電極14d, 14i間、外部電極14e, 14j間にコンデンサCが形成され、その一端がインダクタLを介して接地される。このように、基体12の幅方向において対向する4組の外部電極が入力端および出力端として用いられ、図12に示すように、入力端と出力端とを結ぶ入出力ラインの直列腕に1つのコンデンサCが接続され、入出力ラインの並列腕に、一端が接地された1つのインダクタLが接続されたハイパスフィルタを得ることができる。図12に示す回路は、外部電極14g, 14h, 14i, 14jが入力端として用いられ、外部電極14b, 14c, 14d, 14eが出力端として用いられた場合を示している。

【0032】図12に示すハイパスフィルタでは、入出力ラインの直列腕にコンデンサCが接続され、その入力端側とグラントとの間にインダクタLが接続され、出力インピーダンスが入力インピーダンスより低くなっている。しかしながら、外部電極の入出力を逆にすることにより、図13に示すように、入出力ラインの直列腕にコンデンサCが接続され、その出力端側とグラントとの間にインダクタLが接続された回路とすることができる。したがって、複合素子10に接続されるICに合わせて、入力インピーダンスや出力インピーダンスを調整することができる。

【0033】このような複数のハイパスフィルタを形成した複合素子10においても、各ハイパスフィルタを構成するコンデンサ用電極とインダクタ用電極とがシールド電極で挟まれているため、各ハイパスフィルタ間のアイソレーションをとることができ。したがって、これ

らのハイパスフィルタを信号伝送用のバスラインとして用いても、ライン間における干渉を防ぐことができる。

【0034】また、誘電体基板上にインダクタ用電極を形成して積層構造とすることにより、Q値の小さいインダクタを得ることができる。このようなQ値の小さいインダクタを用いることにより、リングの発生を抑えることができる。このようなハイパスフィルタを形成する場合においても、インダクタ用電極として、スパイラル状の電極を形成することができる。

【0035】さらに、複合素子10に形成される素子をハイパスフィルタとすることにより、低周波信号が減衰されるため、静電気による高電圧(ESD)が印加されても、それが伝達されにくくなる。したがって、この複合素子10をESD対策用として用いることができる。

【0036】図14に示すように、2つのインダクタL1, L2とコンデンサC1とで構成されたπ型回路の出力端側にコンデンサC2を接続したハイパスフィルタにおいて、各素子L1, C1, L2, C2の素子値を変えて、入力側に8kVの電圧を入力し、出力電圧を測定した。そして、その結果を表1に示した。また、試料番号4について、その周波数特性を図15に示した。

【0037】

【表1】

試料番号	素子値 L1-C1-L2-C2	出力ピーク電圧
1	22nH-4pF-10nH-8pF	140 Vpp
2	15nH-3.5pF-8.2nH-7pF	64 Vpp
3	15nH-3.0pF-8.2nH-5pF	46 Vpp
4	8.2nH-3.0pF-5.8nH-4.5pF	15 Vpp

【0038】表1からわかるように、図14に示すような回路を有するハイパスフィルタにおいて、各素子の素子値を適当に選択することにより、出力電圧を低くして、ESDの影響を小さくすることができる。

【0039】このように、2つのインダクタL1, L2と1つのコンデンサC1とで構成されたπ型回路の出力端側に別のコンデンサC2を接続して、ハイパスフィルタを構成することができる。さらに、図16に示すように、2つのインダクタL1, L2と1つのコンデンサC2とで構成されるπ型回路の入力端側に、別のコンデンサC1を接続することにより、ハイパスフィルタを構成してもよい。

【0040】さらに、3つ以上のコンデンサを入出力ラインの直列腕に接続し、これらのコンデンサの両側とグラントとの間にインダクタを接続し、さらに入力端側または出力端側のいずれかにコンデンサを接続することによってハイパスフィルタを形成してもよい。これらの構成を有するハイパスフィルタにおいても、入力インピーダンスと出力インピーダンスとを異なる値とすることができ、上述のような効果を得ることができる。

【0041】

【発明の効果】この発明によれば、複合素子に形成されるフィルタなどの複数の素子間にシールド電極が形成されているため、これらの素子を信号伝送用のバスラインなどとして用いたときに、ライン間における干渉を防ぐことができる。そのため、信号を正確に伝送させることができます。また、複合素子に形成される素子の入力インピーダンスと出力インピーダンスを異なる値にすることにより、出力インピーダンスと入力インピーダンスの異なるICを接続する際に、インピーダンス整合をとることができ、消費電力を小さくすることができます。また、積層構造の複合素子とすることにより、内部に形成されるインダクタのQ値を小さいものとすることができます。リニングの発生を抑えることができます。さらに、複合素子に形成される素子をローパスフィルタとすることにより、高周波成分を除去して、波形なまりを抑えることができ、正確な波形のパルスを伝達させることができます。また、複合素子に形成される素子をハイパスフィルタとすることにより、静電気による高電圧の伝達を抑え、ICなどの破壊を防止することができます。

【図面の簡単な説明】

【図1】この発明の複合素子の一例を示す斜視図である。

【図2】図1に示す複合素子において、複数のローパスフィルタを形成した基体の一例を示す分解斜視図である。

【図3】図2に示す基体を有する複合素子の等価回路図である。

【図4】図3に示す複合素子の1対の外部電極間に形成されるローパスフィルタの一例を示す回路図である。

【図5】図4に示すローパスフィルタの入出力を反対にしたときの回路図である。

【図6】図5に示すローパスフィルタにおいて、入力インピーダンスを 100Ω とし、出力インピーダンスを 200Ω としたときの周波数特性を示すグラフである。

【図7】高周波成分を含む信号をローパスフィルタに通したときの違いを示す波形図である。

【図8】この発明の複合素子の1対の外部電極間に形成されるローパスフィルタの他の例を示す回路図である。

【図9】この発明の複合素子の1対の外部電極間に形成されるローパスフィルタのさらに他の例を示す回路図である。

*ある。

【図10】図1に示す複合素子において、複数のハイパスフィルタを形成した基体の一例を示す分解斜視図である。

【図11】図10に示す基体を有する複合素子の等価回路図である。

【図12】図11に示す複合素子の1対の外部電極間に形成されるハイパスフィルタの一例を示す回路図である。

【図13】図12に示すハイパスフィルタの入出力を反対にしたときの回路図である。

【図14】この発明の複合素子の1対の外部電極間に形成されるハイパスフィルタの他の例を示す回路図である。

【図15】試料番号4に示すハイパスフィルタの周波数特性を示すグラフである。

【図16】この発明の複合素子の1対の外部電極間に形成されるハイパスフィルタのさらに他の例を示す回路図である。

【符号の説明】

10 複合素子

12 基体

14a～14j 外部電極

16, 20, 24, 28, 32, 36, 40, 44 誘電体基板

48, 52, 56, 60, 64, 68, 72, 76, 80 誘電体基板

18, 34, 50, 66, 82 シールド電極

26, 42, 58, 74 グランド電極

30, 22, 38, 54, 70 コンデンサ用電極

30, 46, 62, 78 インダクタ用電極

90, 94, 98, 102, 106, 110 誘電体基板

114, 118, 122, 126, 130 誘電体基板

134, 138, 142, 146, 150, 154 誘電体基板

92, 108, 124, 140, 156 シールド電極

96, 100, 112, 116 コンデンサ用電極

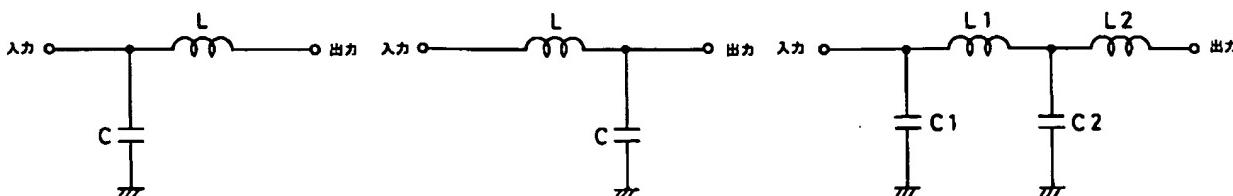
128, 132, 144, 148 コンデンサ用電極

104, 120, 136, 152 インダクタ用電極

【図4】

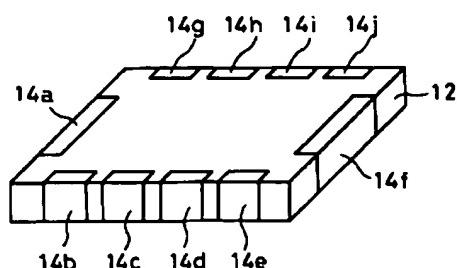
【図5】

【図8】



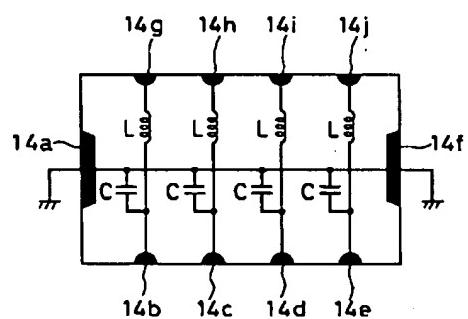
【図1】

10

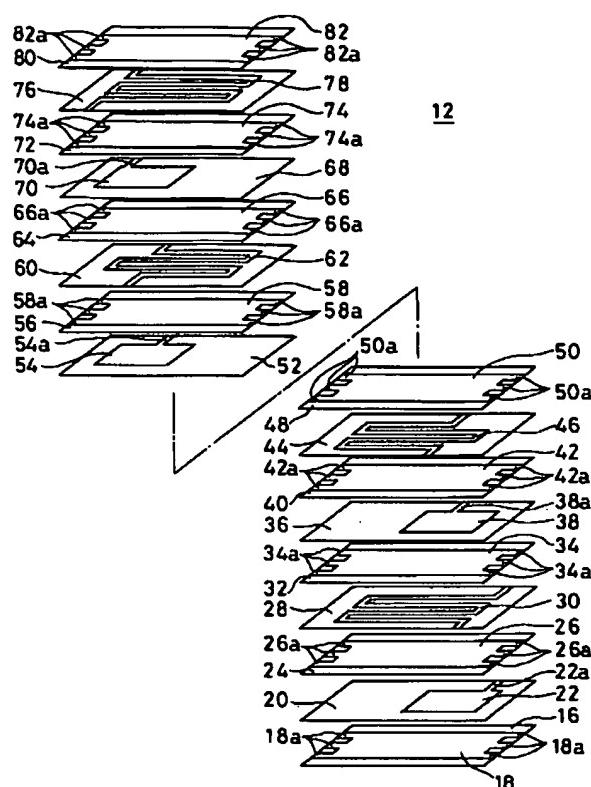


【図3】

10



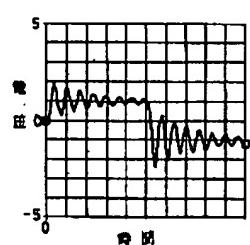
【図2】



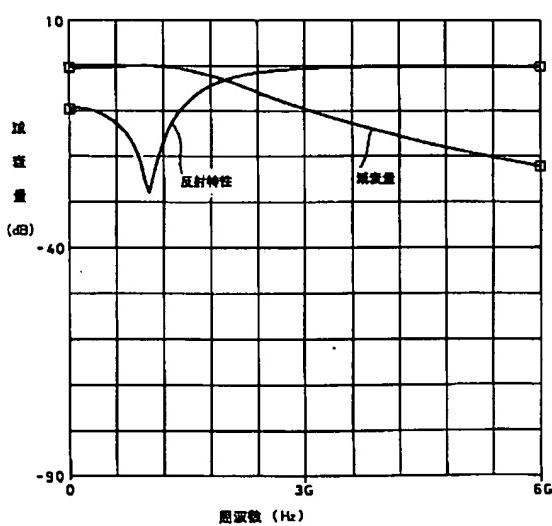
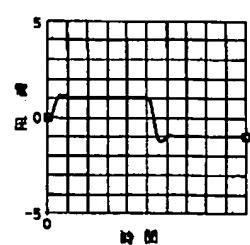
【図6】

【図7】

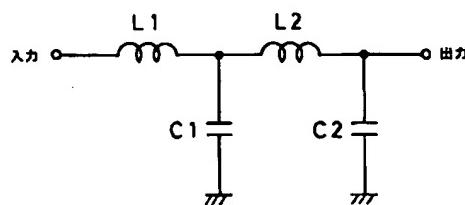
(a)



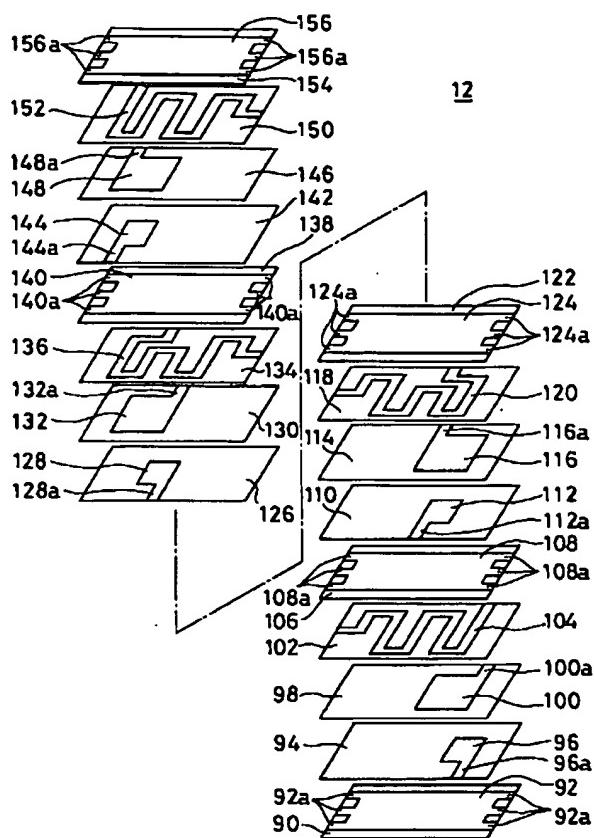
(b)



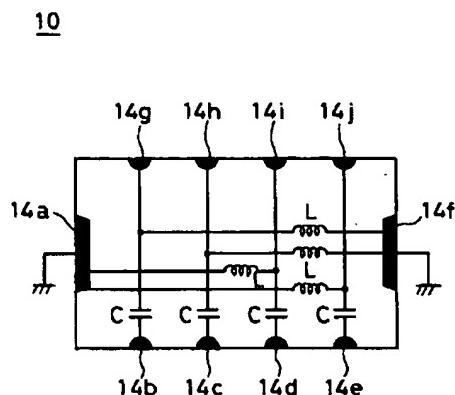
【図9】



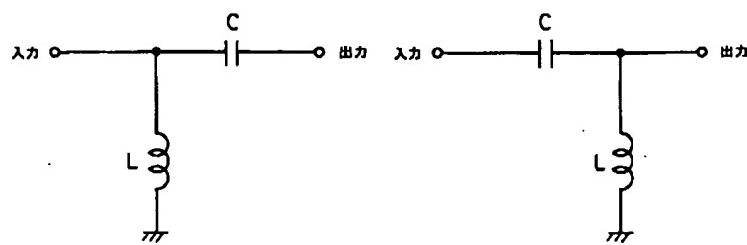
【図10】



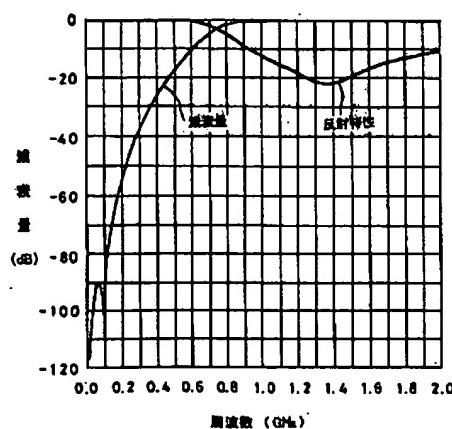
【図11】



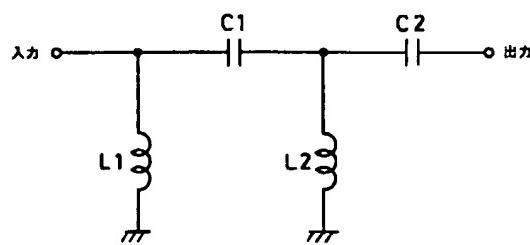
【図12】



【図13】



【図14】



【図16】

